



PATENT  
81754.0118

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Terunao HANAOKA

Serial No: 10/802,668

Filed: March 17, 2004

For: SEMICONDUCTOR DEVICE AND  
METHOD FOR MANUFACTURING  
THE SAME, CIRCUIT BOARD AND  
ELECTRIC EQUIPMENT

Art Unit: Not assigned

Examiner: Not assigned

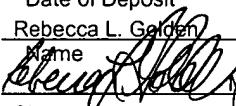
I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first class mail in an envelope addressed  
to:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450, on

March 29, 2004

Date of Deposit  
Rebecca L. Golden

Name

 March 29, 2004

Signature

Date

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-073925 which was filed March 18, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

Date: March 29, 2004

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  3月18日  
Date of Application:

出願番号      特願2003-073925  
Application Number:

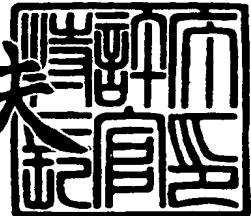
[ST. 10/C] :      [JP2003-073925]

出願人      セイコーエプソン株式会社  
Applicant(s):

2004年  2月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康泰



【書類名】 特許願

【整理番号】 EP-0427901

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 花岡 漢直

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

## 【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 集積回路が形成されており、電極を有する半導体基板と、前記半導体基板の前記電極が形成された面に設けられた樹脂層と、前記電極から前記樹脂層上に形成された配線と、  
を有し、

前記電極は、前記半導体基板の周縁側の第1の端部と、前記半導体基板の中央側の第2の端部と、を有し、

前記樹脂層は、前記半導体基板の周縁から前記電極の前記第1の端部までの領域を避けて、前記第2の端部とオーバーラップするように形成されてなる半導体装置。

【請求項 2】 請求項1記載の半導体装置において、

前記半導体基板の前記電極が形成された面には、前記電極の一部を露出する開口を有するパッシベーション膜が形成されてなり、

前記樹脂層は、前記パッシベーション膜上に形成されてなる半導体装置。

【請求項 3】 請求項2記載の半導体装置において、

前記樹脂層は、前記電極の前記開口からの露出部を避けて形成されてなる半導体装置。

【請求項 4】 請求項2又は請求項3記載の半導体装置において、

前記開口の中心は、前記電極の中心から前記半導体基板の外方向へずれた位置に形成されてなる半導体装置。

【請求項 5】 請求項1から請求項4のいずれかに記載の半導体装置が実装された回路基板。

【請求項 6】 請求項1から請求項4のいずれかに記載の半導体装置を有する電子機器。

【請求項 7】 電極を有し集積回路が形成された半導体装置の前記電極が設けられた面に樹脂層を形成すること、及び、

前記電極から前記樹脂層上に配線を形成すること、  
を含み、

前記電極は、前記半導体基板の周縁側の第1の端部と、前記半導体基板の中央側の第2の端部と、を有し、

前記樹脂層を、前記半導体基板の周縁から前記電極の前記第1の端部までの領域を避けて、前記第2の端部とオーバーラップするように形成する半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記半導体基板の前記電極が形成された面には、前記電極の一部を露出する開口を有するパッシベーション膜が形成されてなり、

前記樹脂層を、前記パッシベーション膜上に形成する半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

前記樹脂層を、前記電極の前記開口からの露出部を避けて形成する半導体装置の製造方法。

【請求項10】 請求項8又は請求項9記載の半導体装置の製造方法において、

前記開口の中心は、前記電極の中心から前記半導体基板の外方向へずれた位置に形成されてなる半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

##### 【0002】

##### 【発明の背景】

半導体装置のパッケージとして、CSP（チップスケール／サイズパッケージ）の普及率が高まってきている。また、パッケージをウエハレベルで製造する技術（ウエハレベルパッケージ）が開発されている。この方法で製造されたパッケージ（例えばウエハレベルCSP）は、外部寸法が半導体チップ寸法になっているため、配線の引き回しの自由度を高めることで実装性を向上させることが重要

である。また、従来のパッケージとは構造が異なっているが、従来のパッケージと同等又はそれ以上の信頼性が要求される。

### 【0003】

本発明の目的は、実装性及び信頼性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

### 【0004】

#### 【課題を解決するための手段】

(1) 本発明に係る半導体装置は、集積回路が形成されており、電極を有する半導体基板と、

前記半導体基板の前記電極が形成された面に設けられた樹脂層と、

前記電極から前記樹脂層上に形成された配線と、

を有し、

前記電極は、前記半導体基板の周縁側の第1の端部と、前記半導体基板の中央側の第2の端部と、を有し、

前記樹脂層は、前記半導体基板の周縁から前記電極の前記第1の端部までの領域を避けて、前記第2の端部とオーバーラップするように形成されてなる。本発明によれば、樹脂層は、電極の一部とオーバーラップするように設けられる。そのため、電極における電気的な導通を図る部分に近接する位置まで樹脂層を形成することが可能となり、樹脂層の平面面積を大きくすることができる。また、樹脂層は、電極よりも外側の領域には形成されない。そのため、電極における電気的な導通を図る部分に近接する位置に樹脂層を形成した場合でも、樹脂の収縮によって樹脂層が電極における電気的な導通を図る部分上に配置されることを防止することができる。そのため、実装性及び電気的な接続信頼性の高い半導体装置を提供することができる。

(2) この半導体装置において、

前記半導体基板の前記電極が形成された面には、前記電極の一部を露出する開口を有するパッシベーション膜が形成されてなり、

前記樹脂層は、前記パッシベーション膜上に形成されていてもよい。

(3) この半導体装置において、

前記樹脂層は、前記電極の前記開口からの露出部を避けて形成されていてよい。これによれば、電極における電気的な導通を図る部分上に樹脂層が配置されない。そのため、電気的な接続信頼性の高い半導体装置を提供することができる。

(4) この半導体装置において、

前記開口の中心は、前記電極の中心から前記半導体基板の外方向へずれた位置に形成されていてよい。これによれば、樹脂層の形成領域をさらに広くすることができるため、配線の引き回しの自由度がさらに高い半導体装置を提供することができる。

(5) 本発明に係る回路基板には、上記半導体装置が実装されてなる。

(6) 本発明に係る電子機器は、上記半導体装置を有する。

(7) 本発明に係る半導体装置の製造方法は、電極を有し集積回路が形成された半導体装置の前記電極が設けられた面に樹脂層を形成すること、及び、

前記電極から前記樹脂層上に配線を形成すること、

を含み、

前記電極は、前記半導体基板の周縁側の第1の端部と、前記半導体基板の中央側の第2の端部と、を有し、

前記樹脂層を、前記半導体基板の周縁から前記電極の前記第1の端部までの領域を避けて、前記第2の端部とオーバーラップするように形成する。本発明によれば、樹脂層は、電極の一部とオーバーラップするように形成される。そのため、電極における電気的な導通を図る部分に近接する位置まで樹脂層を形成することが可能となり、樹脂層の平面面積を大きくすることができる。また、樹脂層は、電極よりも外側の領域には形成されない。そのため、電極における電気的な導通を図る部分に近接する位置に樹脂層を形成した場合でも、樹脂の収縮によって樹脂層が電極における電気的な導通を図る部分上に配置されることを防止することができる。そのため、実装性及び電気的な接続信頼性の高い半導体装置を製造することができる。

(8) この半導体装置の製造方法において、

前記半導体基板の前記電極が形成された面には、前記電極の一部を露出する開

口を有するパッシベーション膜が形成されてなり、

前記樹脂層を、前記パッシベーション膜上に形成してもよい。

(9) この半導体装置の製造方法において、

前記樹脂層を、前記電極の前記開口からの露出部を避けて形成してもよい。これによれば、電極における電気的な導通を図る部分上に樹脂層が配置されない。そのため、電気的な接続信頼性の高い半導体装置を製造することができる。

(10) この半導体装置の製造方法において、

前記開口の中心は、前記電極の中心から前記半導体基板の外方向へずれた位置に形成されていてもよい。これによれば、樹脂層の形成領域をさらに広くすることができますため、配線の引き回しの自由度がさらに高い半導体装置を製造することができます。

### 【0005】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。なお、図1は、本発明の実施の形態に係る半導体装置の断面図である。また、図2は、本実施の形態に係る半導体装置から、配線40、レジスト層50、被覆層60及び電極46を取り除いたものを、平面図で示したものである。

### 【0006】

半導体装置は、半導体基板10を有する。半導体基板10は、半導体チップであってもよいし、半導体ウエハであってもよい。半導体基板10には、1つ又は複数の集積回路12が形成されている。半導体チップには1つの集積回路12が形成され、半導体ウエハには複数の集積回路12が形成されている。半導体基板10は、複数の電極（例えばパッド）14を有する。電極14は、例えばA1で形成されてもよい。電極14は、集積回路12に電気的に接続されていてもよい。あるいは、集積回路12に電気的に接続されていない電極を、電極14としてもよい。電極14は、半導体基板10の周縁側の第1の端部15と、半導体基板10の中央側の第2の端部16とを有する。また、電極14は、第1の端部15と第2の端部16とによって挟まれた中間部17を含む。

**【0007】**

半導体基板10の電極14が形成された面には、パッシベーション膜20が形成されていてもよい。この場合、パッシベーション膜20は、電極14の一部を露出する開口22を有する。開口22が電極14の中間部17に配置されるように、パッシベーション膜20が形成されてもよい。また、開口22の中心が電極14の中心から半導体基板10の外方向へずれた位置に配置されるように、パッシベーション膜20が形成されてもよい。パッシベーション膜20は、SiN、SiO<sub>2</sub>、ポリイミド樹脂等によって形成されてもよい。

**【0008】**

半導体装置は、樹脂層30を有する。樹脂層30は、半導体基板10の電極14が形成された面に設けられてなる。樹脂層30は、半導体基板10の周縁から電極14の第1の端部15までの領域を避けて、電極14の第2の端部16とオーバーラップするように形成されてなる。樹脂層30は、電極14の中間部17の中央部を避けて形成されてもよい。樹脂層30は、電極14の中間部17における端部19とオーバーラップするように形成されてもよい。あるいは、樹脂層30は、端部19とオーバーラップしないように形成されてもよい。半導体基板10がパッシベーション膜20を有する場合、樹脂層30は、パッシベーション膜20を介して、第2の端部16とオーバーラップする。このとき、樹脂層30は、電極14のパッシベーション膜20の開口22からの露出部18を避けて形成されてもよい。樹脂層30は、応力緩和機能を有していてもよい。樹脂層30は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン（B C B ; Benzocyclobutene）、ポリベンゾオキサゾール（P B O ; Polybenzoxazole）等の樹脂で形成することができる。樹脂層30は、半導体基板10と外部端子46との間に形成されてもよい。

**【0009】**

上述したように、本実施の形態に係る半導体装置の樹脂層30は、電極14の一部とオーバーラップするように設けられる。そのため、電極14における電気的な導通を図る部分（例えば露出部18）に近接する位置まで樹脂層30を形成

することが可能となる。そのため、樹脂層30の平面面積を大きくとることができ、配線の引き回しの自由度を高めることができる。また、樹脂層30は電極14よりも外側の領域（詳しくは、半導体基板10の周縁から電極14の第1の端部15までの領域）には形成されない。そのため、樹脂が収縮した場合でも、樹脂層30が、電極14における電気的な導通を図る部分上に配置されることを防止することができ、電気的な接続信頼性を高めることができる。すなわち、本発明によって実装性及び電気的な接続信頼性の高い半導体装置を提供することができる。なお、パッシベーション膜20が、開口22の中心が電極14の中心から半導体基板10の外方向へずれた位置に配置されるように形成されている場合、樹脂層30の平面面積をさらに大きくすることができるため、さらに実装性に優れた半導体装置を提供することができる。

#### 【0010】

半導体装置は、1つ又は複数の配線40を有する。各配線40は、1層又は複数層で形成されてもよい。配線40は、電極14における開口22からの露出部18の全てを覆っていてもよい。配線40は、電極14から樹脂層30の上面（パッシベーション膜20側とは反対側の面）に至るように形成されてなる。図1に示すように、配線40は、樹脂層30の側面を通りるように形成されてもよい。

#### 【0011】

半導体装置は、複数の外部端子46を有してもよい。外部端子46は、配線40に電気的に接続されている。外部端子46は、配線40のランド48の上に形成されてもよい。外部端子46は、導電性を有する金属（例えば合金）であって、溶融させて電気的な接続を図るもの（例えばハンダ）である。外部端子46は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成されてもよい。外部端子46は、球状をなしてもよく、例えばハンダボールであってもよい。

#### 【0012】

半導体装置は、レジスト層50を有してもよい。レジスト層50は、配線40の少なくとも一部を覆っている。配線40の、外部端子46が設けられた部分を除いた部分を全てレジスト層50で覆うことで、配線40の酸化、腐食を防止し

、電気的な不良を防止することができる。レジスト層50は、配線40のランド48の少なくとも中央部を除いて形成されてもよい。レジスト層50は、ランド48の周縁部を覆ってもよい。

#### 【0013】

半導体装置は、被覆層60を有してもよい。被覆層60はレジスト層50上に形成されてもよい。被覆層60は、外部端子46の根本部（下端部）を覆うように形成してもよい。被覆層60は、レジスト層50上に形成された部分と、この部分から立ち上がって外部端子46の根本部を覆う部分とを有してもよい（図1参照）。被覆層60によって外部端子46の少なくとも根元部を補強することができる。そのため、半導体装置が回路基板に実装された後に、被覆層60によって外部端子46への応力の集中を分散させることができる。

#### 【0014】

半導体基板10が半導体チップである場合、半導体装置は、そのパッケージサイズが半導体チップにほぼ等しくなり、CSPに分類することができる。あるいは、応力緩和機能を備えるフリップチップであるということもできる。

#### 【0015】

本実施の形態に係る半導体装置は、以上のように形成されてなり、以下その製造方法を説明する。本実施の形態に係る半導体装置の製造方法は、電極14を有し集積回路12が形成されてなる半導体基板10に、樹脂層30を形成することを含む。樹脂層30は、半導体基板10の電極14が形成された面に形成する。なお、電極14は、半導体基板10の周縁側の第1の端部15と、半導体基板10の中央側の第2の端部16とを有する。また、電極14は、第1の端部15と第2の端部16とによって挟まれた中間部17を有してもよい。半導体基板10には、パッシベーション膜20が形成されていてもよく、このとき、樹脂層をパッシベーション膜20上に形成してもよい。なお、パッシベーション膜20は、先に説明した内容を適用してもよい。半導体基板10は、半導体チップであってもよく、半導体ウエハであってもよい。半導体ウエハを半導体基板10とした場合、複数の半導体装置を一括で製造することが可能なため、効率よく半導体装置を製造することができる。

### 【0016】

本実施の形態では、樹脂層30を、半導体基板10の周縁から電極14の第1の端部15までの領域を避けて、電極14の第2の端部16とオーバーラップするように形成する。樹脂層30を、電極14の中間部17の中央部を避けて形成してもよい。樹脂層30を、電極14の中間部17における端部19とオーバーラップするように形成してもよい。あるいは、樹脂層30を、端部19とオーバーラップしないように形成してもよい。半導体基板10がパッシベーション膜20を有する場合、樹脂層30を、電極14の露出部18を避けて形成してもよい。例えば、予め定めた領域にのみ樹脂を形成することで、樹脂層30を形成してもよい。また、半導体基板10の電極が形成された面の全面に樹脂層を形成し、その後不要な部分を除去することで樹脂層30を形成してもよい。このとき、例えばフォトリソグラフィ技術や、エッチングによって、樹脂層の一部を除去してもよい。

### 【0017】

次に、配線40を形成する。配線40は、電極14から樹脂層30上に至るよう形成する。既に公知となっているいずれの方法によって、配線40を形成してもよい。例えば、スパッタリングを利用して配線40を形成してもよいし、無電解メッキで配線40を形成するアディティブ法を適用してもよい。あるいは、インクジェット方式で導電ペーストを塗布することで、配線40を形成してもよい。

### 【0018】

最後に、外部端子46、レジスト層50、被覆層60等を形成し、半導体基板10が半導体ウエハである場合、個々の半導体装置1に切り出す工程を経て、本実施の形態に係る半導体装置1を製造することができる。なお、図3には、本実施の形態に係る半導体装置1が実装された回路基板1000を示す。また、半導体装置1を有する電子機器として、図4にはノート型パソコンコンピュータ2000を、図5には携帯電話3000を、それぞれ示す。

### 【0019】

なお、本発明は、上述した実施の形態に限定されるものではなく、種々の変形

が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を附加した構成を含む。

#### 【図面の簡単な説明】

【図1】 図1は、本発明を適用した実施の形態に係る半導体装置を示す図である。

【図2】 図2は、本発明を適用した実施の形態に係る半導体装置を示す図である。

【図3】 図3は、本発明を適用した実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図4】 図4は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

【図5】 図5は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

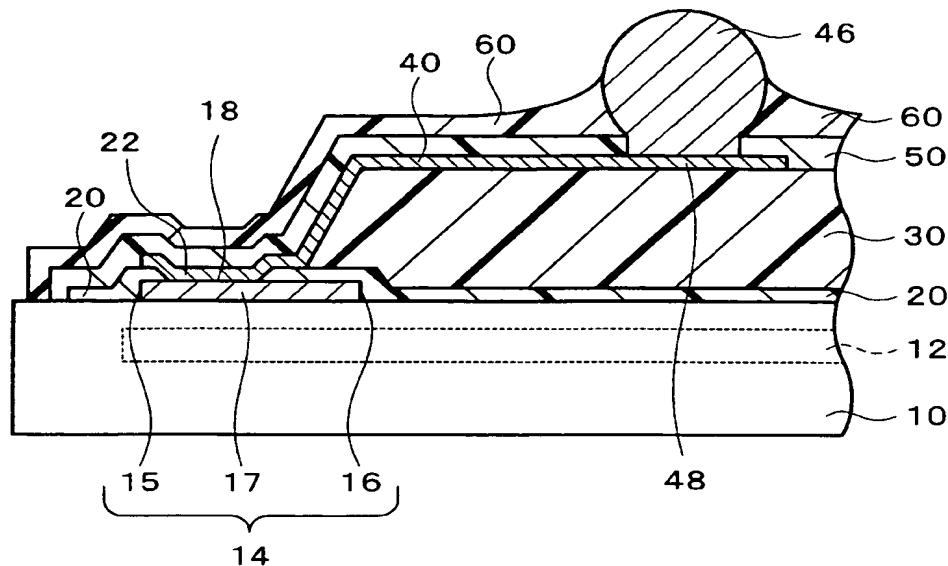
#### 【符号の説明】

10 半導体基板、 12 集積回路、 14 電極、 15 第1の端部  
、 16 第2の端部、 20 パッシベーション膜、 30 樹脂層、 40  
配線

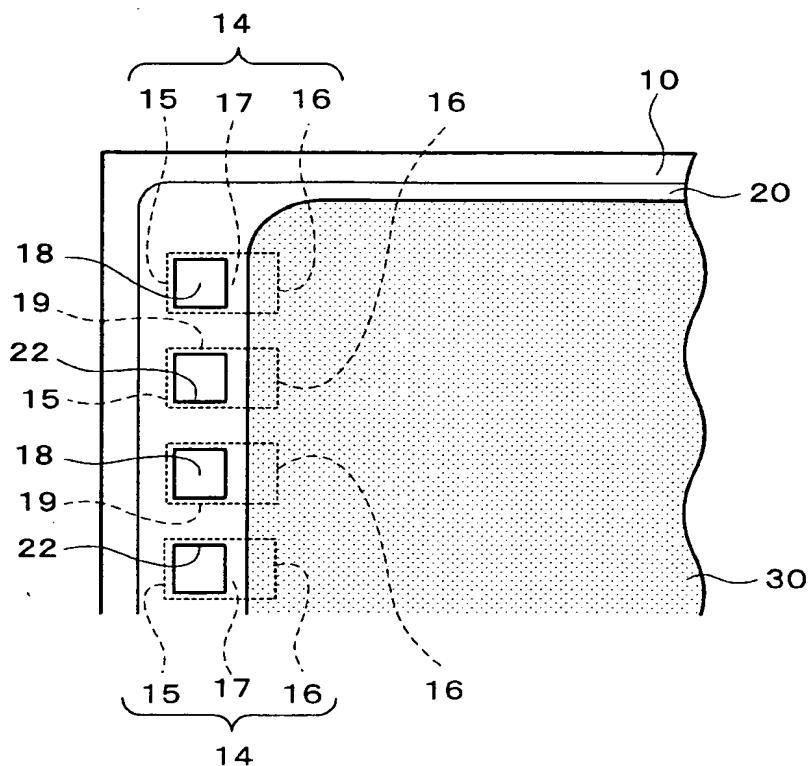
【書類名】

図面

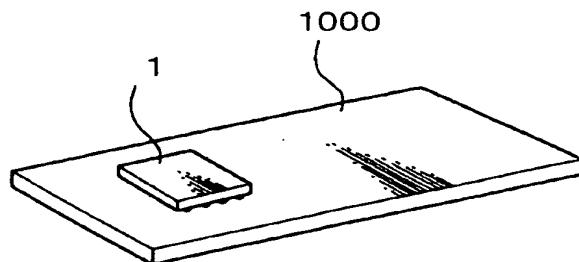
【図 1】



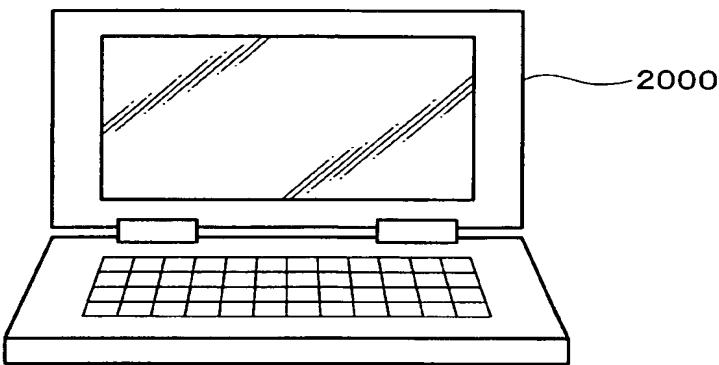
【図 2】



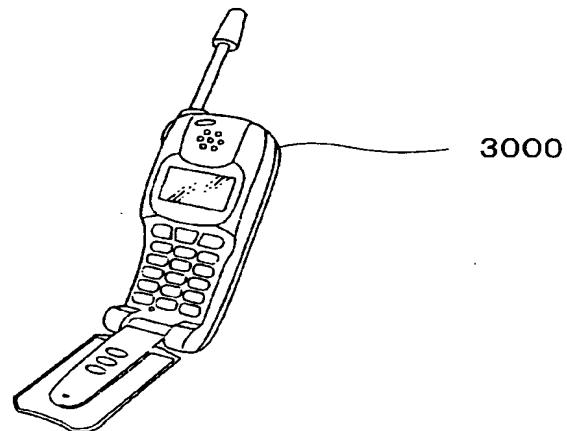
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 信頼性の高い半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置は、電極14を有する半導体基板10と、半導体基板10の電極14が形成された面に設けられた樹脂層30と、電極14から樹脂層30上に形成された配線40と、を有する。電極14は、半導体基板10の周縁側の第1の端部15と、半導体基板10の中央側の第2の端部16とを有する。樹脂層30は、半導体基板10の周縁から電極14の第1の端部15までの領域を避けて、第2の領域16とオーバーラップするように形成されてなる。

【選択図】 図1

特願 2003-073925

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号  
氏名 セイコーエプソン株式会社